

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

JPAB

CLIPPEDIMAGE= JP354060850A

PAT-NO: JP354060850A

DOCUMENT-IDENTIFIER: JP 54060850 A

TITLE: MULTI-LEVEL OUTPUT DEVICE

PUBN-DATE: May 16, 1979

INVENTOR-INFORMATION:

NAME

INOUE, TAKESHI

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP52127887

APPL-DATE: October 24, 1977

INT-CL (IPC): H03K004/02; H03K013/02

ABSTRACT:

PURPOSE: To eliminate the variations of the threshold voltage level and thus to obtain the output of a high absolute value through the combination of the multi-level output circuit comprising the resistance element and the MOSFET element and the reference level circuit also comprising the resistance element and the MOSFET element.

CONSTITUTION: Resistance element $R_{<SB>1</SB>}$ and driving MOSFET element $M_{<SB>1</SB>}$ are connected in series to load resistance element $R_{<SB>0</SB>}$ according to number N of the multi-level output. Furthermore, resistance element $R_{<SB>2</SB>}$ and MOSFET element $M_{<SB>2</SB>}$ plus resistance element R_N and MOSFET element $M_{<SB>n</SB>}$ of the final row are connected in parallel to $R_{<SB>1</SB>}$ and $M_{<SB>1</SB>}$, thus forming the multi-level output circuit. Then the reference level circuit in which resistance element R_0 and driving MOSFET element M_0 are connected vertically is provided to load resistance element R_L . In that case, the resistance value are made different for resistance elements $R_{<SB>1</SB>} \sim R_N$ of these circuits in accordance with multi-level number N. In such constitution, input signal level VDD is applied to both the reference level circuit and the multi-level circuit, and the output

featuring a high
absolute output level is drawn out of output terminal OUT

COPYRIGHT: (C)1979,JPO&Japio

⑨日本国特許庁(JP)

⑩特許出願公開

⑫公開特許公報 (A)

昭54—60850

⑪Int. Cl.²
H 03 K 4/02
H 03 K 13/02

識別記号 ⑫日本分類
98(5) C 14
98(5) F 0

庁内整理番号 ⑬公開 昭和54年(1979)5月16日
6647—5 J
7125—5 J

発明の数 1
審査請求 未請求

(全 3 頁)

⑭多重レベル出力装置

⑮特 願 昭52—127887
⑯出 願 昭52(1977)10月24日
⑰発 明 者 井上健
伊丹市瑞原4丁目1番地 三菱

電機株式会社北伊丹製作所内
⑱出 願 人 三菱電機株式会社
東京都千代田区丸の内二丁目2
番3号
⑲代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

多重レベル出力装置

2. 特許請求の範囲

N個の駆動用MOSFETとこれらの駆動用MOSFETにそれぞれ縦続接続された抵抗値の異なるN個の抵抗素子とを互いに並列接続して第1の負荷用抵抗素子に直列接続した多重レベル出力回路、及び第2の負荷用抵抗素子に縦続接続されかつゲートが電源電圧端子に接続された駆動用MOSFETとこのMOSFETに縦続接続された抵抗素子とからなり、前記多重レベル出力回路の出力点に対して相対基準レベルを与える基準レベル回路を備えたことを特徴とする多重レベル出力装置。

3. 発明の詳細な説明

本発明は多重レベル出力装置に係り、MOSFET(MOS形電界効果トランジスタ)のしきい値電圧 V_{th} の製造上のバラツキによる影響を除去し絶対出力レベルの高い多重レベル出力装置を提供す

ることを目的とする。

図1～3図はMOSFETを用いた従来の多重レベル出力回路の異なる例を示す回路図である。第1図の例は電源電圧端子 V_{DD} とGND端子間を抵抗素子 $R_1 \sim R_{N+1}$ を縦続接続し隣接抵抗素子端子点と出力端子間を伝送用MOSFET $M_1 \sim M_N$ で接続して構成される。その動作は $M_1 \sim M_N$ のいずれか1つがONで他はOFFとすることで抵抗素子と $M_1 \sim M_N$ のしきい値電圧 V_{th} とによつて多重レベル出力が得られる。第2図の例はNOR回路を利用したもので1つの負荷用MOSFET M_0 に対しON抵抗の異なる駆動用MOSFET $M_1 \sim M_N$ を接続した構成である。この動作は $M_1 \sim M_N$ のいずれか1つがONで他はOFFとすることで $M_1 \sim M_N$ のON抵抗と M_0 の抵抗で決まる多重レベル出力が得られる。第3図の例では負荷用MOSFET M_0 がデプレッション型FETである以外は第2図の例と同様な多重レベル出力が得られる。

しかしながら、上記の第1図の例では駆動用MOSFET $M_1 \sim M_N$ 、第2図及び第3図の例で

は負荷用 MOSFET M_0 のしきい値電圧 V_{th} だけ出力レベルは電源電圧 V_{DD} より低くなり絶対レベルの高い出力が得られない。また第2図及び第3図の例では負荷用 MOSFET M_0 と駆動用 MOSFET $M_1 \sim M_N$ とで ON 抵抗がしきい値電圧 V_{th} のバラツキ及び電流電圧に基づいて変動するため精度の良い多重レベル出力が得られない欠点がある。

本発明は上記の欠点を除去するためになされたものであり、その目的とするところは回路構成の上で負荷用 MOSFET をなくしてしきい値電圧のバラツキの影響およびしきい値電圧 V_{th} 分のレベル低下を無くすることが出来る多重レベル出力装置を提供することにある。

以下図面を参照し、本発明の実施例を詳細に説明する。第4図は本発明の一実施例を示す多重レベル出力装置の回路図であり、多重レベル出力の数 N に従って負荷用抵抗素子 R_0 に対して抵抗素子 R_1 及び駆動用 MOSFET M_1 乃至最終列の R_N 及び M_N からなる直列回路を夫々並列接続した多重レベル出力回路と負荷用抵抗素子 R_0 に対して抵抗

素子 R_0 及び駆動用 MOSFET M_0 を縦続接続し M_0 のゲート入力を電源 V_{DD} に接続した基準レベル回路とで構成されている。なお、抵抗素子 $R_1 \sim R_N$ は多重レベル数 N に応じて夫々異なる抵抗値を有している。

上記の回路構成において、駆動用 MOSFET $M_1 \sim M_N$ のゲートには、いずれか1つの駆動用 MOSFET が ON する入力信号を印加すると他のゲートには駆動用 MOSFET が OFF する入力信号を印加する。また、駆動用 MOSFET M_0 のゲートには電源 V_{DD} を印加する。 M_1 が ON すると $M_2 \sim M_N$ が OFF 故に R_0 と R_1 および M_1 の ON 抵抗によつて決まる出力レベルが OUT 端子に得られる。また、 $M_2 \sim M_N$ の何れか1つ ON した時のレベル出力は前記同様な原理によつて得られる。

すなわち、 $R_1 \sim R_N$ の抵抗値が異なっているため OUT 端子に於いては N 種類のレベル出力が得られることになる。 R_0 の抵抗値を小さく、 $R_1 \sim R_N$ のいずれかの抵抗値を大きくすれば出力レベルは電源電圧よりしきい値電圧 V_{th} 低くなることなく原

理的に絶対レベルの高い出力が得られ、また、 $M_1 \sim M_N$ の全てが OFF のとき出力レベルは電源電圧 V_{DD} に等しくなる。

一方、上記出力レベルに対してこれと比較される基準レベルを与える REF 端子の出力レベルは、 R_1 、 R_0 および M_0 の ON 抵抗によつて決められる。ここで M_0 のゲート入力は電源電圧端子 V_{DD} に接続されているため、電源電圧の変動による影響を除いて常時 REF 端子の出力レベルは一定となる。

一般に多重レベルの基準となるレベルは接地電位または電源電圧 V_{DD} が多く用いられている。1つの出力回路に用いられる多重出力レベル信号は基準レベルと多重出力レベルとの差電圧によつて多重信号の識別が行なわれている。

しかし、MOSFET 回路に於いて接地電位または電源電圧 V_{DD} を基準レベルを用いた場合、しきい値電圧 V_{th} のバラツキによつて多重出力レベルが接地電位または電源電圧 V_{DD} より大きくずれるため多重出力レベルと多重信号の対応が正確に行なわれない。したがって本発明ではしきい値電圧

V_{th} のバラツキの影響を取り除くために基準レベルを接地電位または電源電圧 V_{DD} とせず、しきい値電圧 V_{th} のバラツキに従つて基準レベルも多重出力レベルと同じように変動させることによりしきい値電圧 V_{th} のバラツキの影響を除去するようになされている。

なお、以上の実施例でプロセスに於けるマスク合せのズレの影響を除くために MOSFET および抵抗素子のパターン構成は作図上の X または Y 軸と同一方向にすることが極めて効果の良い結果を生ずる。

また、本発明は単一低電圧電源を用いた MOS 回路に於いて広く利用できる。

上述の如く本発明になる多重レベル出力装置によれば MOSFET のしきい値電圧 V_{th} のバラツキによる影響を除去し、電源電圧近傍の多重レベル出力が得られる効果がある。

4. 図面の簡単な説明

第1図～第3図は従来の多重レベル出力回路の異なる例を示す回路図、第4図は本発明の一実施

例を示す多重レベル出力装置の回路図である。

なお、図中同一符号は同一または相当部分を示す。

R_0 …負荷用抵抗素子、 $R_1 \sim R_N$ …抵抗素子、 $M_1 \sim M_N$ …駆動用 MOSFET、 R_L …負荷用抵抗素子、 R_D …抵抗素子、 M_0 …駆動用 MOSFET。

代理人 葛野 信一 (ほか1名)

